

# SEMICONDUCTOR WAFER AND PHOTOMASK AND MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

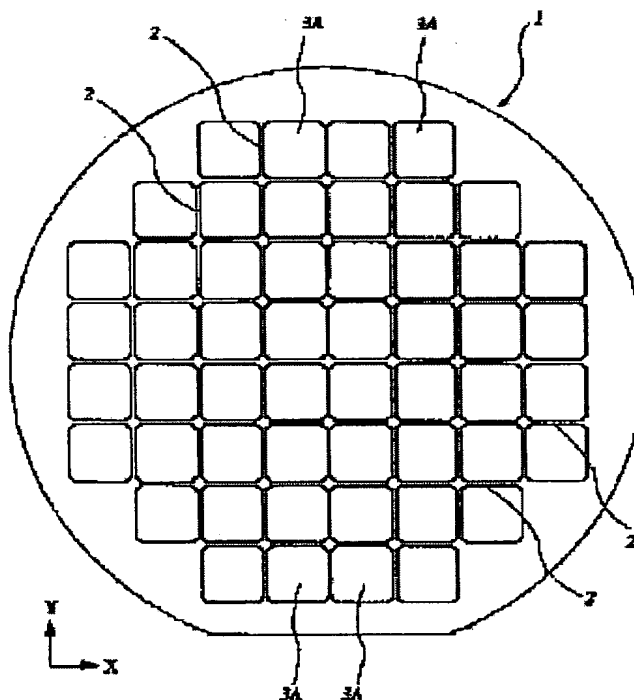
**Patent number:** JP8293476  
**Publication date:** 1996-11-05  
**Inventor:** FUJITA TAKAHIRO; FUKUI TAKESHI  
**Applicant:** HITACHI LTD; HITACHI VLSI ENG  
**Classification:**  
- international: **H01L21/301; H01L21/02; (IPC1-7): H01L21/301**  
- european:  
**Application number:** JP19950096350 19950421  
**Priority number(s):** JP19950096350 19950421

Report a data error here

## Abstract of JP8293476

**PURPOSE:** To prevent chips from chipping and insulating films in the peripheral parts of the chips from cracking and becoming defective, on the occasion of dicing a semiconductor wafer into chips.

**CONSTITUTION:** The width of Scribe lines 2 formed like checkers on the main surface of a semiconductor wafer 1 is made wider at regions crossing each other than at the other regions, and chipping-off (cracking) to be produced at chip corners when the semiconductor wafer 1 is diced and divided into chips is prevented from reaching the chip regions.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-293476

(43) 公開日 平成8年(1996)11月5日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/301

識別記号

庁内整理番号

F I

H 0 1 L 21/78

技術表示箇所

L

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平7-96350

(22) 出願日 平成7年(1995)4月21日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72) 発明者 藤田 孝博

東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(74) 代理人 弁理士 筒井 大和

最終頁に続く

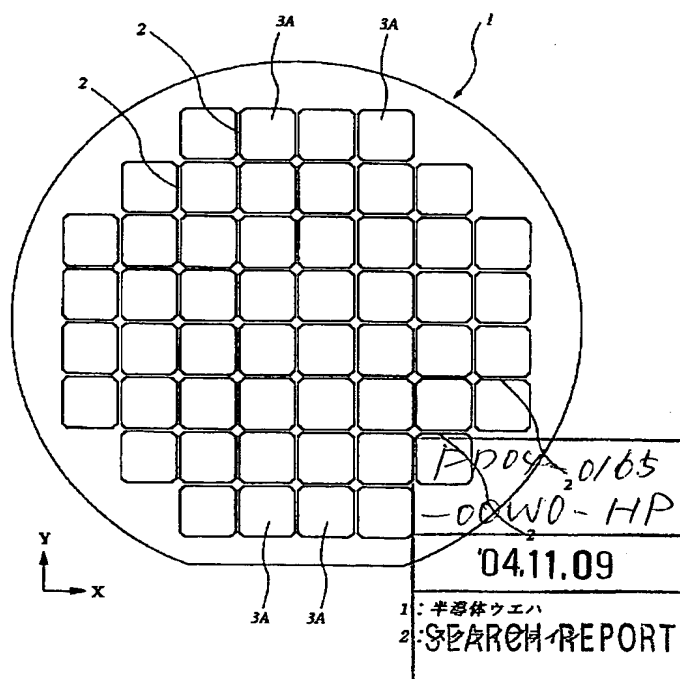
(54) 【発明の名称】 半導体集積回路装置の製造方法および半導体ウエハならびにフォトマスク

(57) 【要約】

【目的】 半導体ウエハをダイシングしてチップに分割する際のチップ欠け不良およびチップ周辺部の絶縁膜クラック不良を有効に防止する。

【構成】 半導体ウエハ1の主面に基盤の目状に形成されたスクライブライン2が互いに交差している領域の幅を他の領域の幅よりも広く形成し、半導体ウエハ1をダイシングしてチップに分割する際にチップコーナー部に発生する欠け(クラック)がチップ領域に達しないようにする。

図 1



**【特許請求の範囲】**

【請求項 1】 半導体ウエハの主面に基盤の目状にスクライブラインを形成し、前記スクライブラインに沿って前記半導体ウエハをダイシングして半導体チップに分割する際、あらかじめ前記スクライブラインが互いに交差する領域の幅を他の領域の幅よりも広く形成しておくことを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 その主面に基盤の目状にスクライブラインを形成した半導体ウエハであって、前記スクライブラインが互いに交差する領域の幅を他の領域の幅よりも広くしたことを特徴とする半導体ウエハ。

【請求項 3】 請求項 2 記載の半導体ウエハであって、前記スクライブラインによって周囲を規定されたチップ領域の平面形状が八角形をなしていることを特徴とする半導体ウエハ。

【請求項 4】 請求項 2 または 3 記載の半導体ウエハであって、化合物半導体材料からなることを特徴とする半導体ウエハ。

【請求項 5】 半導体ウエハの主面に基盤の目状にスクライブラインを形成するためのパターンを備えたフォトマスクであって、前記スクライブラインが互いに交差する領域のパターン幅を他の領域のパターン幅よりも広くしたことを特徴とするフォトマスク。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】 本発明は、半導体集積回路装置の製造技術に関し、特に、半導体ウエハからチップを分割するダイシング工程でのチップ欠け不良を防止する技術に関するものである。

**【0002】**

【従来の技術】 集積回路を形成した半導体チップをパッケージに封止する組立工程では、まず最初に、半導体チップをウエハから一個一個に分割（ダイシング）し、これをリードフレームまたはパッケージ基板上に接着、固定（ダイボンディング）する。

【0003】 半導体チップをウエハから分割するには、従来よりダイシング装置が使われている。ダイシング装置は、円盤上に成形したダイヤモンド砥石（ダイシングブレード）を高速回転させ、ウエハをスクライブラインに沿って任意の深さに切断してチップ化する装置である。このダイシング装置については、例えば株式会社プレスジャーナル、平成 6 年 9 月 9 日発行の「The EQUIPMENT」p 91～p 96 に記載がある。

**【0004】**

【発明が解決しようとする課題】 ウエハの主面には、ダイシングブレードを使ってウエハを切断する際のガイドとなるスクライブラインが X および Y 方向に沿って基盤の目状に形成されている。しかし、X 方向のスクライブラインと Y 方向のスクライブラインとが交差する領域は、ダイシング時に大きな応力が加わるため、この領域

のウエハに生じたクラックがチップ領域にまで達し、チップ欠け不良を引き起こすことがある。また、チップ欠け不良には至らないまでも、チップ周辺部の絶縁膜にクラックが生じると、そこから回路内に水分が浸入して配線腐食などを引き起こすことがある。特に、GaAs（ガリウムヒ素）などの化合物半導体材料からなるウエハは、Si（シリコン）ウエハに比べて脆性が高いため、ダイシング時に上記のような不良が発生し易い。

【0005】 本発明の目的は、ダイシング時のチップ欠け不良およびチップ周辺部の絶縁膜クラック不良を有効に防止することのできる技術を提供することにある。

【0006】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

**【0007】**

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0008】 (1) 本発明の半導体集積回路装置の製造方法は、半導体ウエハの主面に基盤の目状に形成されたスクライブラインに沿って前記半導体ウエハをダイシングして半導体チップに分割する際、あらかじめ前記スクライブラインが互いに交差する領域の幅を他の領域の幅よりも広く形成しておくものである。

【0009】 (2) 本発明の半導体ウエハは、基盤の目状に形成したスクライブラインが互いに交差する領域の幅を他の領域の幅よりも広くしたものである。

**【0010】**

【作用】 上記した手段によれば、半導体ウエハをダイシングする際にチップ領域のコーナー部にチップ欠けが生じた場合でも、このチップ欠けがチップ領域内に達し難くなる。また、これにより、チップ領域のコーナー部の絶縁膜にクラックが発生し難くなる。

**【0011】**

【実施例】 以下、本発明の実施例を図面に基づいて詳細に説明する。

【0012】 図 1 は、本実施例の半導体ウエハを示す全体平面図、図 2 は、この半導体ウエハの一部（チップ 4 個分）を示す拡大斜視図である。

【0013】 図 1 に示すように、GaAs からなる半導体ウエハ 1 の主面には、この半導体ウエハ 1 をダイシングして半導体チップに分割する際のガイドとなるスクライブライン 2 が X および Y 方向に沿って基盤の目状に形成されている。また、これらのスクライブライン 2 によって周囲を規定されたチップ領域 3 A のそれぞれには、所定の集積回路（IC）が形成されている。

【0014】 図 2 に拡大して示すように、本実施例の半導体ウエハ 1 に形成されたスクライブライン 2 は、それらが互いに交差している領域（2 A）の幅が他の領域の幅よりも広がっている。そのため、これらのスクライ

ブライン2によって周囲を規定されたそれぞれのチップ領域3Aは、矩形の四隅を面取りした八角形のパターンで形成されている。また、それぞれのチップ領域3Aを覆う絶縁膜4も、矩形の四隅を面取りした八角形のパターンで形成されている。

【0015】上記のようなスクライブライン2を形成するには、半導体ウエハ1の主面上に例えばポジ型のフォトレジストを被着した後、図3に示すような八角形の遮光パターン3Bを形成したフォトマスク（またはレチクル）5を使ってフォトレジストを露光・現像し、半導体ウエハ1に残ったフォトレジストパターンをマスクにして半導体ウエハ1をエッチングすればよい。

【0016】同様に、上記絶縁膜4を形成するには、半導体ウエハ1の主面上に例えばCVD法で絶縁膜を堆積した後、この絶縁膜上にポジ型のフォトレジストを被着し、次いで、図4に示すような八角形の遮光パターン4Bを形成したフォトマスク（またはレチクル）6を使ってフォトレジストを露光・現像し、絶縁膜上に残ったフォトレジストパターンをマスクにしてこの絶縁膜をエッチングすればよい。このとき、遮光パターン4Bの外形状は、前記遮光パターン3Bの外形状よりも幾分小さくしておく。

【0017】上記半導体ウエハ1を半導体チップに分割するには、例えば図5および図6に示すようなダイシング装置7を使用する。半導体ウエハ1は、まず図5に示すダイシング装置7のウエハローダ8から位置決め部9に搬送され、オリエンテーションフラットの位置決めが行われた後、ウエハステージ10に搬送される。そして、図6に示すように、高速回転するダイシングブレード11によって半導体ウエハ1の主面が前記スクライブライン2に沿って任意の深さに切断される。その後、半導体ウエハ1は、図5に示す洗浄・乾燥部12で純水による洗浄ならびに水切り乾燥に付された後、ウエハアンローダ13に收容され、次のダイボンディング工程に移送される。

【0018】図7は、上記ダイシング装置7を使って半導体ウエハ1から分割した半導体チップ3の斜視図である。この半導体チップ3のコーナー部は、前記半導体ウエハ1のスクライブライン2が互いに交差した領域（2A）に相当しているため、ダイシング時に大きな応力が加わり、場合によっては、同図に示すようなチップ欠け14が発生する。

【0019】しかし、本実施例の半導体ウエハ1は、スクライブライン2が互いに交差している領域（2A）の幅を広くしたため、半導体チップ3のコーナー部に生じたチップ欠け14が集積回路形成領域に達し難くなっている。また、集積回路形成領域を覆う絶縁膜4も、その四隅を面取りしたパターンで形成されているので、上記チップ欠け14が絶縁膜4に達し難くなっている。

【0020】従って、本実施例の半導体ウエハ1によれ

ば、半導体チップ3のコーナー部に上記のようなチップ欠け14が生じた場合でも、集積回路の一部が破壊され難くなるので、集積回路の製造歩留まりを向上させることができる。また、半導体チップ3のコーナー部の絶縁膜にクラックが発生し難くなるので、水分の浸入による配線腐食などを防止することができ、これによって集積回路の信頼性を向上させることができる。

【0021】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0022】前記実施例では、GaAsからなる半導体ウエハに適用した場合について説明したが、これに限定されるものではない。本発明は、Siからなる半導体ウエハに適用することもできるが、AlGaAs、InGaAs、InP、InAs、InSbなど、ダイシング時にチップ欠けが発生し易い各種化合物半導体材料からなる半導体ウエハに適用して特に有効である。また、集積回路を形成した半導体ウエハのみならず、トランジスタ、ダイオードなどの能動素子を単体で形成した半導体ウエハや、半導体レーザなどの受動素子を形成した半導体ウエハなどに適用することもできる。

【0023】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0024】本発明によれば、半導体ウエハをダイシングする際のチップ欠け不良率や絶縁膜のクラック発生率を低減することができるので、半導体ウエハに形成された集積回路や素子の信頼性、製造歩留まりを向上させることができる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体ウエハの全体平面図である。

【図2】図1に示す半導体ウエハの一部を拡大して示す斜視図である。

【図3】半導体ウエハにスクライブラインを形成するために用いるフォトマスクの要部平面図である。

【図4】半導体ウエハのチップ領域に八角形の絶縁膜パターンを形成するために用いるフォトマスクの要部平面図である。

【図5】ダイシング装置の要部の構成を示す平面図である。

【図6】図5に示すダイシング装置の要部を拡大して示す側面図である。

【図7】本発明の半導体ウエハから分割した半導体チップの斜視図である。

【符号の説明】

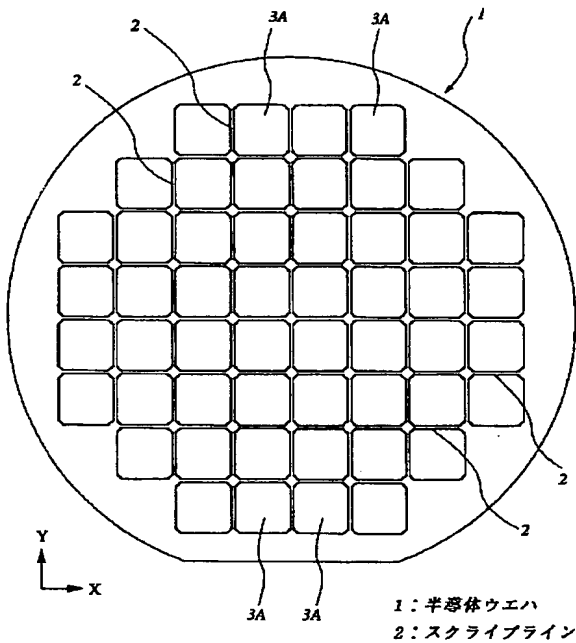
- 1 半導体ウエハ
- 2 スクライブライン

- 2 A 領域
- 3 半導体チップ
- 3 A チップ領域
- 3 B 遮光パターン
- 4 絶縁膜
- 4 B 遮光パターン
- 5 フォトマスク
- 6 フォトマスク

- 7 ダイシング装置
- 8 ウエハローダ
- 9 位置決め部
- 10 ウエハステージ
- 11 ダイシングブレード
- 12 洗浄・乾燥部
- 13 ウエハアンローダ
- 14 チップ欠け

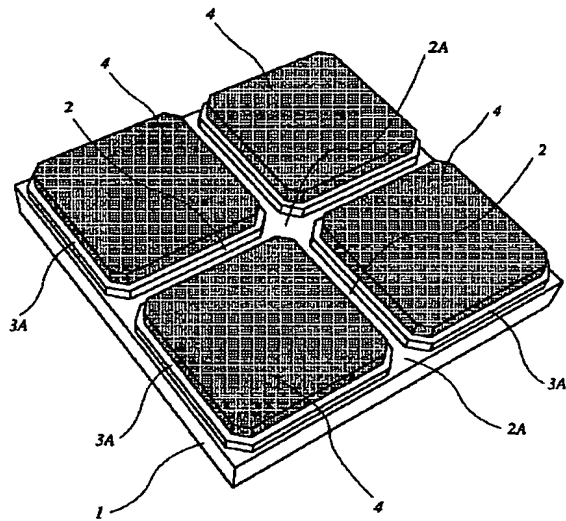
【図 1】

図 1



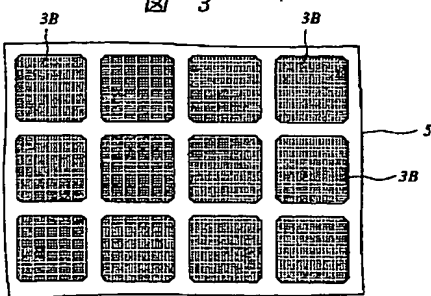
【図 2】

図 2



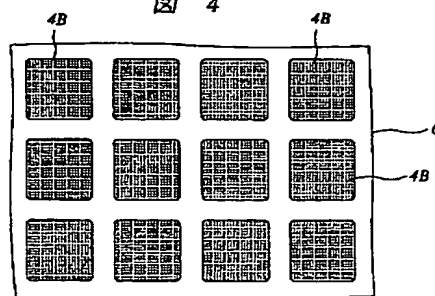
【図 3】

図 3



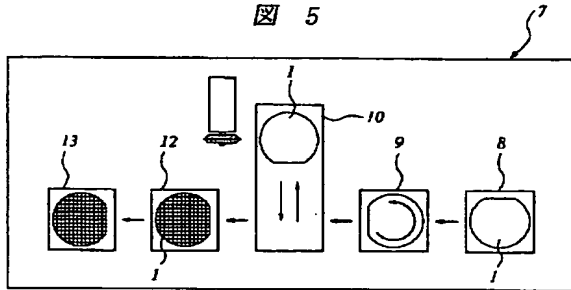
【図 4】

図 4



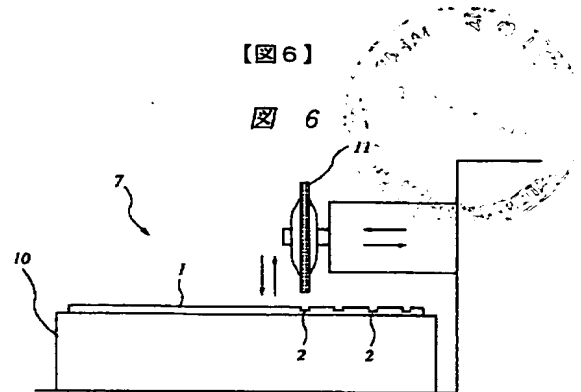
【図5】

図 5



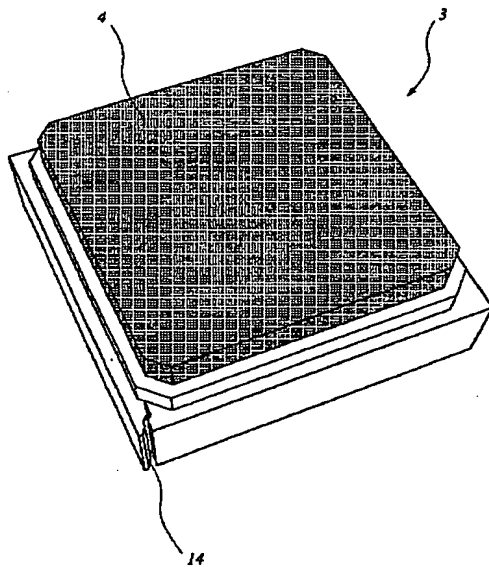
【図6】

図 6



【図7】

図 7



フロントページの続き

(72)発明者 福井 健  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内